

2026학년도 1학기 반도체 프로젝트 제안서

| | | | | |
|----------------|--|----------|------------|-------------------|
| 과제명 | DRAM 단위 공정 설계 및 소자 특성 최적화 | | | |
| 과제유형 *1 | <input type="checkbox"/> 아날로그시스템설계 <input type="checkbox"/> 디지털시스템설계 <input checked="" type="checkbox"/> 공정 <input type="checkbox"/> 소재 <input type="checkbox"/> 기타 | | | |
| 방법론 *2 | <input checked="" type="checkbox"/> 시뮬레이션 <input checked="" type="checkbox"/> 실험 <input type="checkbox"/> 기타() | | | |
| 결과물 | <input checked="" type="checkbox"/> 실험결과물 (소자 등) <input type="checkbox"/> HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등) | | | |
| 멘토 | 성 명 | 김승환 | 소속 | 전남대학교 전자컴퓨터공학부 |
| | 연락처 | 530-1760 | 이메일 | sss.kim@jnu.ac.kr |
| 내용 | <p>1. 목적 차세대 DRAM 소자의 동작 원리에 대한 이해와 소자 특성 (Retention Time, Leakage Current, Capacitance, on/off ratio) 향상 구현</p> <ul style="list-style-type: none"> - 학생들이 현업에 활용되는 메모리 반도체 소자에 대한 이해 능력 강화 - TCAD를 활용하여 반도체 소자 및 공정 설계 경험을 제공 - 삼성전자, SK하이닉스 현업 전문가 자문 제공 - 결과에 대해 논문으로 작성 / 경진대회에 출품하고 평가 준비 경험을 제공 <p>2. 방법</p> <p>① 반도체 소자의 단위 공정 기술에 대한 탐색 및 분석</p> <ul style="list-style-type: none"> - 단위 공정 기술(예: High-k Dielectric 증착, 누설 전류 제어 등)이 DRAM 소자의 성능 (Refresh 특성, 동작 속도)에 미치는 영향에 대한 심도 있는 분석 <p>② TCAD 시뮬레이션 툴을 활용하여 단위 공정 기술 적용</p> <ul style="list-style-type: none"> - 사업단에서 주관하는 TCAD 시뮬레이션 강의 수강 - 차세대 DRAM Cell (예: 3D DRAM, BCAT 등) 구현 - 단위 공정 기술의 적용을 통해 차세대 DRAM 구조에서도 성능 향상 가능성이 있는지 판단 <p>3. 결과물</p> <ul style="list-style-type: none"> - 학술대회 발표용 논문, 경진대회 출품용 결과 도출 - 팀별 KCI급 이상 논문 투고 | | | |
| 기타 *3 | <p>■ 멘토링 + 톨교육 + 기타 경비 제공</p> <p>- TCAD 교육</p> <p>- 소재/구조 분석, Front End 설계 및 구현에 대한 멘토링</p> | | | |